

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-283719

(43) 公開日 平成9年(1997)10月31日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	27/108		H 0 1 L 27/10	6 2 1 Z
	21/8242		21/88	Z
	21/3205		27/04	C
	27/04			
	21/822			

審査請求 未請求 請求項の数14 O L (全 13 頁)

(21) 出願番号 特願平8-86409

(22) 出願日 平成8年(1996)4月9日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 福田 琢也

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 小林 伸好

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 斉藤 政良

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 薄田 利幸

最終頁に続く

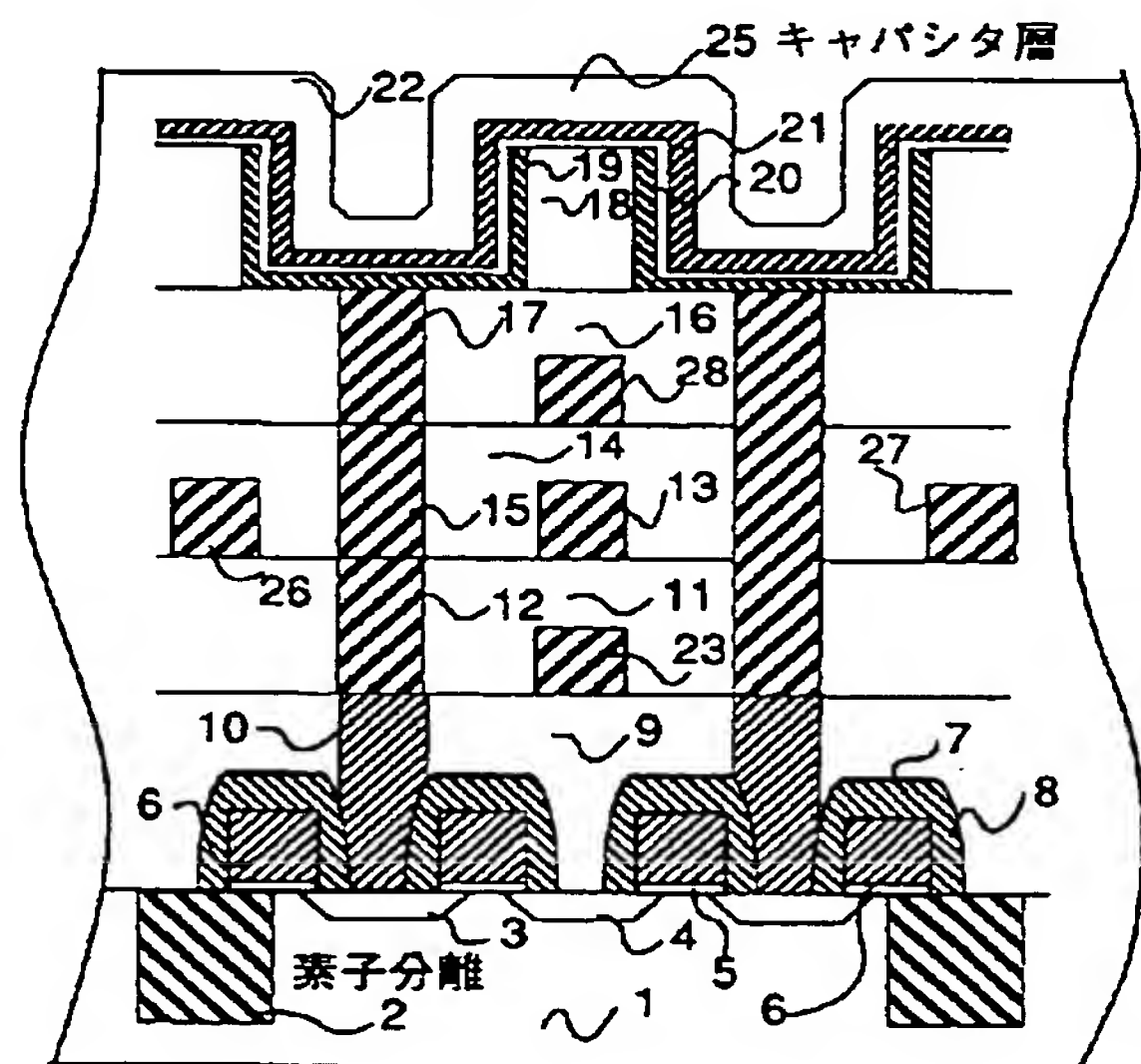
(54) 【発明の名称】 半導体集積回路装置及び当該装置の製造方法

(57) 【要約】 (修正有)

【課題】 隣接するキャパシタの間が絶縁体で充填されて間隙を形成しない新規な半導体集積回路装置及び当該装置の製造方法を提供すること。隣接するキャパシタ間の間隙のアスペクト比を低減することができる改善された半導体集積回路装置及び当該装置の製造方法を提供する。

【解決手段】 下部配線層を被う絶縁膜であってかつ接続プラグ部位において貫通した凹部を有する絶縁膜をキャパシタ収容の配線層9、11、14、16に備え、当該凹部の側面及び底面を被う導電膜からなるストレージ電極19と、当該ストレージ電極及び前記絶縁膜上面を被う誘電体膜20と、当該誘電体膜を被う導電膜からなるプレート電極21とをもってキャパシタを構成し、前記絶縁膜をキャパシタを相互に分離するための領域とする。別の手段は、筒型のストレージ電極19を筒内側の対向する面の間の最短の距離が最小加工寸法よりも短い構造のものとする。

図1



6…ワード線、23…ビット線、19…ストレージ電極、  
21…プレート電極、22…パッシベーション膜、  
10,12,15,17…接続プラグ

1

## 【特許請求の範囲】

【請求項 1】トランジスタの形成された半導体基板と、当該基板上に積層された複数の配線層と、所定の配線層に収容した多数のキャパシタと、当該キャパシタのストレージ電極を前記トランジスタの拡散層電極に接続するための接続プラグとを少なくとも有し、当該接続プラグが所定の配線層の下部の各配線層に形成されている半導体集積回路装置において、

前記キャパシタを収容する所定の配線層は、当該配線層に接する下部配線層を被う絶縁膜を備え、当該絶縁膜は、接続プラグの部位において貫通した凹部を有し、前記キャパシタは、当該凹部の側面及び底面を被う導電膜からなるストレージ電極と、当該ストレージ電極及び前記絶縁膜上面を被う誘電体膜と、当該誘電体膜を被う導電膜からなるプレート電極とをもって構成され、キャパシタを相互に分離するための領域が前記絶縁膜によって構成されていることを特徴とする半導体集積回路装置。

【請求項 2】前記キャパシタ分離領域は、隣接するキャパシタのストレージ電極間の距離によって呈する当該分離領域の寸法の最短が凹部内プレート電極の内側の対抗する側面間の最短距離よりも短いことを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】トランジスタの形成された半導体基板と、当該基板上に積層された複数の配線層と、所定の配線層に収容した多数のキャパシタと、当該キャパシタのストレージ電極を前記トランジスタの拡散層電極に接続するための接続プラグとを少なくとも有し、当該接続プラグが所定の配線層の下部の各配線層に形成され、かつ、前記ストレージ電極がその周縁に沿って突起部を有する筒型ストレージ電極をなす半導体集積回路装置において、前記筒型のストレージ電極は、筒内側の対向する面の間の最短の距離が最小加工寸法よりも短い構造をなしていることを特徴とする半導体集積回路装置。

【請求項 4】隣接するストレージ電極間の筒外側の対向する面の間の最短の距離が前記内側の最短の距離と概ね等しいことを特徴とする請求項 3 に記載の半導体集積回路装置。

【請求項 5】トランジスタの形成された半導体基板と、当該基板上に積層された複数の配線層と、所定の配線層に収容した多数のキャパシタと、当該キャパシタのストレージ電極を前記トランジスタの拡散層電極に接続するための接続プラグとを少なくとも有し、当該接続プラグが所定の配線層の下部の各配線層に形成され、かつ、前記ストレージ電極が直方体の構造をなす半導体集積回路装置において、

基板面に投影したメモリセル領域を接続プラグの位置をほぼ中心とした長方形領域に区分した際、前記キャパシタは、複数のメモリセル領域に互って形成されていることを特徴とする半導体集積回路装置。

【請求項 6】トランジスタの形成された半導体基板と、

2

当該基板上に積層された複数の配線層と、所定の配線層に収容した多数のキャパシタと、当該キャパシタのストレージ電極を前記トランジスタの拡散層電極に接続するための接続プラグとを少なくとも有し、当該接続プラグが所定の配線層の下部の各配線層に形成されている半導体集積回路装置の製造方法において、

前記キャパシタを形成する工程は、前記所定の配線層の直下の層として定めた下部配線層の表面に絶縁膜を堆積する工程と、当該絶縁膜を下部配線層の表面が露出するまで掘り込んで接続プラグの部位に凹部を形成する工程と、当該凹部の底面及び凹部の側面を含む前記絶縁膜の表面に導電膜を堆積した後に凹部の側面及び底面以外の頂部のみの導電膜を削除して凹部にストレージ電極を形成する工程と、当該ストレージ電極の側面及び底面並びに前記絶縁膜の上面に誘電体膜を堆積する工程と、当該誘電体膜の上にプレート電極となる導電膜を堆積する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 7】前記頂部のみの導電膜削除は、研磨によって行なうことを特徴とする請求項 6 に記載の半導体集積回路装置の製造方法。

【請求項 8】トランジスタの形成された半導体基板と、当該基板上に積層された複数の配線層と、所定の配線層に収容した多数のキャパシタと、当該キャパシタのストレージ電極を前記トランジスタの拡散層電極に接続するための接続プラグとを少なくとも有し、当該接続プラグが所定の配線層の下部の各配線層に形成され、かつ、前記ストレージ電極がその周縁に沿って突起部を有する筒型ストレージ電極をなす半導体集積回路装置の製造方法において、

前記筒型ストレージ電極を形成する工程は、前記所定の配線層の直下の層として定めた下部配線層の表面に下部導電膜を堆積した後、その上に下地材を形成する工程と、上面の一端が最小加工寸法のパターンを有するレジストマスクを当該下地材の上に形成した後、基板全面にレジストの等方性エッチングを施すことによって上面の一端が最小加工寸法に満たないパターンを有する縮小レジストマスクを形成する工程と、当該縮小レジストマスクをエッチングマスクとして用いて下地材を凸型に加工する工程と、当該凸型下地材を用いて筒型電極を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 9】前記筒型電極を形成する工程は、前記凸型下地材の表面と凸型下地材以外の前記下部導電膜の表面に上部導電膜を堆積する工程と、凸型下地材の上面の上部導電膜を研磨によって除去する工程と、上面の上部導電膜を除去した後の構造体をエッチングマスクとして自己整合的にエッチングバックを行なうことにより、構造体底部以外の下部導電膜領域を除去する工程とを有することを特徴とする請求項 8 に記載の半導体集積回路装置

50



3

の製造方法。

【請求項 1 0】前記筒型電極を形成する工程は、前記凸型下地材の表面と凸型下地材以外の前記下部導電膜の表面に上部導電膜を堆積する工程と、凸型下地材の上面の上部導電膜をエッチングバックによって除去する工程と、上面の上部導電膜を除去した後の構造体をエッチングマスクとして自己整合的にエッチングバックを行なうことにより、構造体底部以外の下部導電膜領域を除去する工程とを有することを特徴とする請求項 8 に記載の半導体集積回路装置の製造方法。

【請求項 1 1】トランジスタの形成された半導体基板と、当該基板上に積層された複数の配線層と、所定の配線層に収容した多数のキャパシタと、当該キャパシタのストレージ電極を前記トランジスタの拡散層電極に接続するための接続プラグとを少なくとも有し、当該接続プラグが所定の配線層の下部の各配線層に形成され、かつ、前記ストレージ電極が直方体の構造をなす半導体集積回路装置の製造方法において、

前記直方体ストレージ電極を形成する工程は、前記所定の配線層の直下の層として定めた下部配線層の表面に導電膜を形成する工程と、基板面に投影したメモリセル領域を接続プラグの位置をほぼ中心とした長方形領域に区分した際、上面の一辺が最小加工寸法のパターンを有するレジストマスクを複数のメモリセル領域に互って前記導電膜の上に形成した後に当該レジストマスクに等方性エッチングを施して上面の一辺が最小加工寸法に満たないパターンを有する縮小レジストマスクを形成する工程と、当該縮小レジストマスクをエッチングマスクとして用いて導電膜を加工することによって直方体電極を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 2】トランジスタの形成された半導体基板と、当該基板上に積層された複数の配線層と、所定の配線層に収容した多数のキャパシタと、当該キャパシタのストレージ電極を前記トランジスタの拡散層電極に接続するための接続プラグとを少なくとも有し、当該接続プラグが所定の配線層の下部の各配線層に形成され、かつ、前記ストレージ電極がその周縁に沿って突起部を有する筒型ストレージ電極をなす半導体集積回路装置の製造方法において、

前記筒型ストレージ電極を形成する工程は、筒型ストレージ電極を形成するために用いるマスク用絶縁膜を堆積する工程と、当該絶縁膜を凸型の直方体絶縁体に加工する工程と、当該直方体絶縁体の表面と直方体絶縁体以外の前記絶縁膜の表面に導電膜を堆積する工程と、凸型下地材の上面の導電膜を研磨により除去する工程と、当該上面の導電膜を除去した凸型下地材を用いて筒型電極を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 3】トランジスタの形成された半導体基板

4

と、当該基板上に積層された複数の配線層と、所定の配線層に収容した多数のキャパシタと、当該キャパシタのストレージ電極を前記トランジスタの拡散層電極に接続するための接続プラグとを少なくとも有し、当該接続プラグが所定の配線層の下部の各配線層に形成され、かつ、前記ストレージ電極がその周縁に沿って突起部を有する筒型ストレージ電極をなす半導体集積回路装置の製造方法において、

10 前記筒型ストレージ電極を形成する工程は、前記所定の配線層の直下の層として定めた下部配線層の表面に下部導電膜を堆積した後、その上に絶縁膜を堆積する工程と、当該絶縁膜を凸型の直方体をなす絶縁体に加工する工程と、当該直方体絶縁体の表面と直方体絶縁体以外の前記下部導電膜の表面に上部導電膜を堆積する工程と、直方体絶縁体の上面の上部導電膜を研磨又はエッチングバックのいずれかにより除去する工程と、上面の上部導電膜を除去した後の構造体をエッチングマスクとして自己整合的にエッチングバックを行なうことにより、下部導電膜の構造体底部以外の領域を除去する工程と、当該構造体の絶縁体を除去することによって筒型電極を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 4】トランジスタの形成された半導体基板と、当該基板上に積層された複数の配線層と、所定の配線層に収容した多数のキャパシタと、当該キャパシタのストレージ電極を前記トランジスタの拡散層電極に接続するための接続プラグとを少なくとも有し、当該接続プラグが所定の配線層の下部の各配線層に形成されている半導体集積回路装置の製造方法において、

30 前記ストレージ電極を形成する工程は、ストレージ電極を形成するために用いる下地材の上に上面の一辺が最小加工寸法のパターンを有するレジストマスクを形成した後、基板全面にレジストの等方性エッチングを施すことによって上面の一辺が最小加工寸法に満たないパターンを有する縮小レジストマスクを形成する工程と、当該縮小レジストマスクをエッチングマスクとして用いて下地材を加工する工程と、加工した下地材を用いて電極を形成する工程とを有することを特徴とする半導体集積回路装置の製造方法。

40 【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、半導体集積回路装置及びその製造方法に係り、特にランダムアクセスメモリに適用して好適な立体キャパシタ構造及びその製造方法に関する。

【0 0 0 2】

【従来の技術】半導体集積回路装置の高集積化に伴って回路各部の寸法の微小化が急速に進んでおり、電荷蓄積用のキャパシタ（容量素子）を用いるランダムアクセスメモリ（以下「DRAM」と略記する）においては、蓄

50

5

積容量を確保するために、一般にキャパシタに立体構造が採用されている。立体構造の従来例として、直方体の上面および側面を利用した直方体キャパシタや筒の内側及び外側の側面と底面を利用した筒型キャパシタがある。

【0003】直方体キャパシタを有するDRAMの構造を、例えば、特開平3-174766号公報を参照しながら、図15を用いて説明する。半導体基板1に拡散層領域3、4とゲート電極6からなるトランジスタが形成され、同トランジスタは、隣接するトランジスタと素子分離領域2を介して電氣的に分離されている。各トランジスタは、パッシベーション絶縁膜層9により保護される。ゲート電極6は、紙面に垂直の方向に連続しており、同一列の各トランジスタの連続したゲート電極6がワード線を形成している。従って、絶縁膜層9はまた、ワード線を収容した第1配線層である（以下、ワード線にも記号6を付す）。拡散層領域4からは接続プラグ24を介してビット線23が接続している。ビット線23は、第3配線層14に配置され、同一行の各トランジスタの拡散層領域4に接続している。

【0004】キャパシタは、第2配線層11に形成され、そのストレージ電極19が接続プラグ17を介して拡散層領域3に接続している。ストレージ電極19は、構造が直方体であり、同電極に誘電体膜20が被い、誘電体膜20にプレート電極21が被っている。プレート電極21は、図示していないが、他のキャパシタと共通の所定の電源に接続されている。プレート電極21には保護用のパッシベーション絶縁膜が被っている。

【0005】このようなトランジスタの1個とその拡散層領域3に接続したキャパシタの1個とでメモリセルが形成され、多数のメモリセルが行列状に配置されてDRAMが構成される。

【0006】一般に、DRAMの設計においては、集積度を上げるためにメモリセルの領域（基板1の面に投影したメモリセルの占有領域）は、可能な限り小さくするように選ばれる。また、限られた投影面内で容量を確保するため、キャパシタの高さをできるだけ高くして側面の面積を増加させることが行なわれる。

【0007】ワード線6、ビット線23及びその他の配線の加工可能な最小寸法（以下「最小加工寸法」という）を $f$ とし、前記従来例に対して、望ましい設計目標として例えば、 $4f \times 3f$ のメモリセルの領域を選ぶと、キャパシタの領域は、図16に示すように、 $3f \times 2f$ となり、隣接するキャパシタ間の距離は $f$ となる。この場合、望ましいキャパシタの高さとして $2f$ を選ぶと、キャパシタ間の間隙109（図15、16参照、寸法 $f$ ）において、アスペクト比（底面の一辺に対する高さの比）が大きくなり、それによって電極や誘電体膜等を同隙間内に切れ間なく形成することが困難になるという問題点があった。切れ間は、間隙109内に「微小な

6

空洞」（一般に「す」といわれている）が発生することによって生じ、キャパシタ動作不良の原因になって歩留まりの低下を招く。

【0008】次に、筒型キャパシタを有するDRAMの構造を、例えば、特開平2-260453号公報を参照しながら、図17を用いて説明する。同図は、前記図15のような示し方に対して、拡散層領域3において紙面に垂直の方向に切断した断面を示している。キャパシタは、第3配線層14（最上層）に形成されている。拡散層領域3に接続したストレージ電極19は、筒型をなし、筒の内側及び外側に誘電体20及びプレート電極21が被っている。誘電体20及びプレート電極21は、基板面の全面を被い、他のキャパシタに共通である。なお、図17の右側のキャパシタは、図示していないが、別の箇所隣接するトランジスタの拡散層領域3に接続されている。

【0009】筒型キャパシタでは、筒の内側と外側をキャパシタ面として利用することができるので、同じ容量値でキャパシタの高さを低くすることができ、従って、隣接するキャパシタ間の間隙や、筒内のアスペクト比を下げるのが可能となる。この特徴を勘案し、前記従来例の望ましい設計目標として、例えば、図18に示す $4f \times 2f$ のメモリセルの領域（図18参照）を選ぶことができる。その場合に約 $f$ のキャパシタ高さを選んでも、間隙109において、アスペクト比が未だ大きいという問題点があった。そのため、直方体の場合と同様に、電極や誘電膜等を同隙間内に切れ間なく形成することが困難になるという問題点があった。この切れ間は、間隙109内に「微小な空洞」が発生することによって生じ、キャパシタ動作不良の原因になって歩留まりの低下を招く。

【0010】

【発明が解決しようとする課題】本発明の主たる目的は、従来技術の前記問題点を解決し、隣接するキャパシタの間が絶縁体で充填されて間隙を形成しない新規な半導体集積回路装置及び当該装置の製造方法を提供することにある。本発明の別の目的は、隣接するキャパシタ間の間隙のアスペクト比を低減することができる改善された半導体集積回路装置及び当該装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明の前記主たる課題は、下部配線層を被う絶縁膜であってかつ接続プラグ部位において貫通した凹部を有する絶縁膜をキャパシタ収容の配線層に備え、当該凹部の側面及び底面を被う導電膜からなるストレージ電極と、当該ストレージ電極及び前記絶縁膜上面を被う誘電体膜と、当該誘電体膜を被う導電膜からなるプレート電極とをもってキャパシタを構成し、前記絶縁膜をキャパシタを相互に分離するための領域とすることによって効果的に解決することができる



7

る。隣接するキャパシタ間の分離領域は、その上部が平坦な平面になることによって同平面に誘電体膜、プレート電極及びパッシベーション膜を安定に形成することができるからである。

【0012】凹部底面の寸法として、例えば  $3f \times 2f$  を採用する場合、キャパシタの部分の誘電体膜とプレート電極は、ストレージ電極で被われた広がりのある凹部に堆積するので安定形成が容易となり、前記キャパシタ分離領域の安定形成と相俟ってキャパシタの動作不良発生率を大幅に低減することができる。

【0013】なお、隣接するキャパシタ同士は、ストレージ電極の外側によって仕切られるので、分離領域の寸法は、同電極外側の間の距離によって定まる。キャパシタ分離領域の上面の誘電体膜とプレート電極は、前記したように平面状に形成されるので、両者が形成される幅、即ち、キャパシタ分離領域の寸法は、最小加工寸法の  $1f$  程度とすることが容易である。従って、分離領域寸法の最短は、凹部内のプレート電極の内側の対向する側面間の最短距離（例えば  $3f \times 2f$  の場合、 $2f$  よりもやや短い寸法）よりも短くすることが可能となる。このような寸法を採用することによって、キャパシタの面積占有率を大きくすることが可能となり、キャパシタの容量値を高めることができる。逆に同一容量値のままでメモリセル面積を低減することが可能となり、回路の集積度を高めることができる。

【0014】なお、以上の凹部に形成したキャパシタ（以下「凹型キャパシタ」という）の面積を直方体キャパシタの場合と同じにし、凹部の深さを直方体キャパシタの高さと同じ寸法にする場合は、凹型キャパシタのストレージ電極の側面及び底面の面積は、直方体キャパシタのストレージ電極のそれぞれ側面及び上面の面積と同じになる。従って、同一高さのキャパシタでは、凹型キャパシタと直方体キャパシタとで蓄積容量の利用面積に差はない。

【0015】本発明の前記別の課題は、筒型のストレージ電極を筒内側の対向する面の間の最短の距離が最小加工寸法よりも短い構造のものとすることによって効果的に解決することができる。メモリセルの領域の大きさを変えずに、隣接するストレージ電極の間隔を広げることが可能となるからである。例えば、メモリセルの領域の大きさを  $4f \times 2f$  とする場合、後で詳述するように、隣接するストレージ電極間で筒外側の対向する面の間の最短の距離を前記内側の距離の最短と概ね等しくすることが可能となる。

【0016】このような筒構造を実現するために、ストレージ電極となる導電膜を加工するための下地材マスクを上面の一边が最小加工寸法に満たないパターンを有するマスクとする。そのために、上面の一边が最小加工寸法のパターンを有するレジストマスクを形成した後に当該レジストマスクに等方性エッチングを施すことによ

8

て上面の一边が最小加工寸法に満たないパターンを有する縮小レジストマスクを形成し、次に、この縮小レジストマスクを用いて下地材を加工する。下地材マスクもその上面の寸法が縮小レジストマスクと同じになり、導電膜の内側の一边は、このような下地材マスクを用いることによって最小加工寸法に満たないものにすることができる。

【0017】

【実施例】以下、本発明に係る半導体集積回路装置及び当該装置の製造方法を図面に示した幾つかの実施例を参照して更に詳細に説明する。なお、図1～図18における同一の記号は、同一物又は類似物を表示するものとする。

【0018】＜実施例1＞半導体集積回路装置の一例として、凹型キャパシタを備えたDRAMを実施した。DRAMの記憶容量を256Mビットとし、最小加工寸法の  $f$  を  $0.25\mu m$  に設定した。更に、メモリセル領域を  $4f \times 3f$  ( $1\mu m \times 0.75\mu m$ )、キャパシタの寸法を  $3f \times 2f$  ( $0.75\mu m \times 0.5\mu m$ ) とし、キャパシタ高さを  $2f$  ( $0.5\mu m$ ) とした。

【0019】図1にDRAMの断面構造を示す。図1において、16は第4の配線層、25は、第4配線層16の上に形成したキャパシタ収容の第5の配線層（キャパシタ層）、10、12、15、17は、ストレージ電極19を拡散層領域3に接続するためにそれぞれ第1配線層9、第2配線層11、第3配線層14、第4配線層16に形成した接続プラグ、22は、キャパシタを保護するためのパッシベーション膜を示す。

【0020】図2にDRAMの上面を示し、図3にビット線23とワード線6を更に加えたDRAMの上面を示す。両図において、SN cont は、ストレージ電極19と接続プラグ17との接続部、BL cont は、ビット線23を拡散層領域4に接続するための接続プラグ（図1に示さず）とビット線23との接続部、AAは、接続部BL cont を共通にした2個のトランジスタからなるアクティブ領域を示す。なお、図4にメモリセルとキャパシタの投影面を示した。

【0021】再び図1を用いてDRAMの構造及びその製造工程を説明する。まず、P型シリコン基板1に素子分離域2を形成してから、所定の場所にゲート酸化膜5、ゲート電極6及びN型拡散層3、4からなるトランジスタ群7を形成した。なお、ゲート電極6は、ワード線6として使用する。続いて、トランジスタ群7に窒化珪素膜を堆積後、エッチングバックを施して、トランジスタ群7に側壁保護膜8を形成した。次に、基板1の全面に絶縁膜である燐と硼素を含有させた酸化珪素膜を形成し、熱処理を施してリフロー形状（軟化した酸化珪素膜によって得られる概ね平坦化した形状）を作った。その後、トランジスタ群に基づく残留の段差を無くすために、化学的機械的研磨（以下「CMP」と表記する）を

9

施して、平坦化パッシベーション絶縁膜による第1配線層9を形成した。

【0022】この後に、パッシベーション絶縁膜層9に複数のコンタクトホールを形成し、接続プラグ10のほか、ビット線23やその他の配線を接続するための別の接続プラグ（図示せず）を同ホール中に形成した。接続プラグ10等用の材料として主材質がタングステンの導電材料を用いた。なお、材料は、その他にポリシリコンを採用することが可能である。

【0023】次に、第1配線層9の上にビット線23を形成し、CVD法(Chemical Vapor Deposition)で絶縁膜を堆積後、CMPを施して、ビット線23を含む第2配線層11を形成した。次に、同配線層に接続プラグ12を形成した。同プラグは、フォトレジストのパターンにドライエッチングを施してコンタクトホールを形成した後、真空中で連続的に窒化チタン(TiN)及びアルミニウムをスパッタにより堆積し、次に高圧力で堆積した膜を前記ホールに埋め込み、その後、余分のアルミニウムを除去して形成した。

【0024】続けて、第2配線層11の上にワード線6のシャント線（入替線）である金属配線26及びその他の金属配線13を形成し、CVD法で絶縁膜を堆積後、CMPを施して、第3配線層14を形成した。第3配線層14には、周辺回路の配線27も同時に形成した。配線層14を形成後、先と同様に接続プラグ15を形成した。次に、配線層14を形成したのと同様の方法により、金属配線28を形成して第4配線層16を形成し、更に同配線層に接続プラグ17を形成した。

【0025】以上によって配線層16までを形成した後、キャパシタを同配線層の上に形成した。図5の工程図を用いてキャパシタ形成の手順を説明する。まず、  
1) 接続プラグ17上にエッチングストッパとなる窒化珪素(SiN)膜101を厚さ0.03 $\mu$ m堆積させ（図中では「デポ」と表記する）、続けて、  
2) 二酸化珪素(SiO<sub>2</sub>)膜18を0.5 $\mu$ m堆積させ、  
3) フォトリソグラフィ（図中では「フォト」と表記する）により露光及び現像を行なってフォトレジストパターン102を形成し、  
4) パターン102をマスクにしてドライエッチングにより、3f $\times$ 2f（0.75 $\mu$ m $\times$ 0.5 $\mu$ m）寸法で深さ2f（0.5 $\mu$ m）の凹部104をプラグ17上に形成した。このとき、前記マスクにより二酸化珪素膜18a及び窒化珪素膜101aが残る。この膜18a及び膜101aが隣接するキャパシタを分離する領域となる。次に、

5) タングステン膜（図示せず）をスパッタ法（その他にCVD法を採用可能である）で厚さ0.05 $\mu$ m形成し、  
6) CMPによって凸部の上面にあるタングステンのみ

10

を除去して、ストレージ電極19を形成した。上面のタングステンの除去によって、キャパシタごとに分離したストレージ電極19が形成される。続いて、

7) 五酸化タンタル(Ta<sub>2</sub>O<sub>5</sub>)をCVD法で0.02 $\mu$ m成膜してキャパシタの誘電膜20を形成し、

8) その上に窒化チタン膜を0.04 $\mu$ m堆積させてプレート電極21を形成した。その後、

9) 窒化珪素膜を堆積させ、キャパシタのパッシベーション膜22を形成した。

【0026】工程7)～9)で形成した誘電膜20、プレート電極膜21及びパッシベーション膜22は、アスペクト比が1以下の凹部へ堆積させるため、安定に形成することができた。更に、隣接するキャパシタの間では、誘電膜20、プレート電極膜21及びパッシベーション膜22は、二酸化珪素膜18aで充填された領域の上の平面に形成されるので、安定に形成することができた。作製したキャパシタの動作不良発生率は、0.1%以下であった。

【0027】このように、凹型キャパシタ構造によって、従来の直方体型の構造とはキャパシタの占有面積や占有容積をほとんど変化えずに信頼性の高いキャパシタを得ることができる。なお、本実施例では、キャパシタを最上部の第5配線層25に形成する場合を示したが、当然にキャパシタを下の途中の配線層に形成することが可能であり、その場合も同じ効果を得ることができる。

【0028】＜比較例1＞本発明の効果を明らかにするため、従来の直方体キャパシタを前記配線層16の上に形成して比較した。メモリセル及びキャパシタの寸法は凹型キャパシタの場合と同じであり、最小加工寸法も同一である。図6に直方体キャパシタの製造工程を示す。初めに、

1) プラグ17上に、タングステン膜103をスパッタ法（CVD法も可能である）で厚さ0.5 $\mu$ m堆積させ、

2) フォトリソグラフィにより露光及び現像を行なってレジストパターン102を形成し、

3) ドライエッチングにより、3f $\times$ 2f（0.75 $\mu$ m $\times$ 0.5 $\mu$ m）寸法で高さ2f（0.5 $\mu$ m）の直方体103aを接続プラグ17の上に形成した。直方体103aをストレージ電極19として用いる。次に、

4) キャパシタ誘電体膜20となる五酸化タンタルをCVD法で0.02 $\mu$ m形成し、

5) プレート電極21となる窒化チタン膜を0.04 $\mu$ m堆積させてキャパシタを形成した。その後、

6) 窒化珪素膜22を堆積させて、キャパシタパッシベーションを行なった。

【0029】工程4)～6)で示した誘電体膜20とプレート電極膜21は、アスペクト比が2以上の間隙109へ堆積させ、更に、パッシベーション膜22は、アスペクト比がほぼ4になった間隙へ堆積させた。このた



め、間隙内に「微小な空洞」が発生した。その結果、キャパシタ動作不良が多く、その発生率は21%以上であった。

【0030】＜実施例2＞筒型のキャパシタを採用し、最小加工寸法の $f$ を $0.25\mu\text{m}$ としてメモリセルの寸法を $4f \times 2f$  ( $1\mu\text{m} \times 0.5\mu\text{m}$ )とし、キャパシタ高さを $1.2f$  ( $0.3\mu\text{m}$ )としたDRAMを実施した。図7にDRAMの上面を示す。 $4f \times 2f$ の寸法は、最小加工寸法 $f$ を用いて形成可能なほぼ最小の寸法となるもので、DRAMの記憶容量は、実施例1の場合よりも大きくなる。キャパシタの寸法は、図7には示していないが、 $3f \times 1f$  ( $0.75\mu\text{m} \times 0.25\mu\text{m}$ )とした。

【0031】図8に本実施例の断面構造を示す。第4配線層16までの製造工程は、実施例1とほぼ同じであるので省略し、キャパシタの構造及び製造工程を図10の工程図を用いて説明する。なお、図9に筒型ストレージ電極19とその接続部SN contの平面図を示す。

【0032】キャパシタの形成は、まず、

1) 接続プラグ17の上にタングステン膜106を厚さ $0.05\mu\text{m}$ 堆積させ、

2) 更に、酸化珪素膜107を $0.33\mu\text{m}$ 堆積させた。次に、

3) フォトリソグラフィにより、 $3f \times 1f$ のレジストパターン102を形成した。続けて、

4) パターン102にライトアッシング（灰化）で軽くエッチングすることによって周辺を $0.1f$ 細め、上面が $2.8f \times 0.8f$ の寸法のマスク111を形成した。アッシングは、電荷をもたないラジカルを使ったドライエッチングによって実施するもので、どの方向の面も均一にエッチングする等方性エッチングの一種である。周辺を細めるエッチングとして、その他に、ウェットエッチングによる等方エッチングを採用することが可能である。レジスト材料の解像度は高く、最小加工寸法の $0.25\mu\text{m}$ よりも小さい寸法を容易に形成することができる。続いて、

5) マスク111を用いて酸化珪素膜107をドライエッチングし、筒型キャパシタの芯となる直方体107aを形成した。直方体107aの寸法も $2.8f \times 0.8f$ となる。酸化珪素材料も解像度が高く、最小加工寸法 $f$ よりも小さい寸法を容易に形成することができる。次に、

6) この上からタングステン膜（図示せず）を厚さ $0.3f$  ( $0.075\mu\text{m}$ )堆積させ、続いて、

7) エッチングバックを施してタングステン膜の基板に平行な面を削除し、直方体107aの側面に $0.3f$ 厚さの側壁電極108を形成した。続けて、

8) 更にエッチングバックを追加し、側壁電極108及び直方体107aをマスクとすることで、下部のタングステン膜106を自己整合的に加工して、下部電極10

6a ( $2.8f \times 0.8f$ )を形成した。下部電極106aの形成において自己整合加工を採用したので、最小加工寸法を下回る寸法の加工が可能となった。次に、9) 酸化珪素膜の直方体107aをウェットエッチングにより除去して、下部電極106aと側壁電極108からなる筒型ストレージ電極19を形成した（図9参照）。この筒型ストレージ電極19の面積は $1.7\mu\text{m}^2$ である。次に、

10) 厚さ $0.08f$  ( $0.02\mu\text{m}$ )の五酸化タンタル膜20をCVD法で堆積させ、

11) 窒化チタン膜を $0.12f$  ( $0.03\mu\text{m}$ )堆積させてプレート電極21を形成し、キャパシタを完成させた。

【0033】工程11)で示したプレート電極21を堆積させる際、隣接する電極108（五酸化タンタル膜20は形成されている）との最小間隔は、 $0.44f$

( $0.11\mu\text{m}$ )、同間隔の間隙における最大アスペクト比は2.7となった。次に述べる従来法と比較すると、最小間隔は約2倍、アスペクト比は約半分であった。これによって、プレート電極21を堆積させる際に「微小な空洞」は発生せず、キャパシタの動作不良発生率は0.1%以下であった。

【0034】なお、プレート電極21を堆積させる際の電極108の筒内側のアスペクト比は1.5程度となり、前記間隙部よりも低いアスペクト比となって、プレート電極21の形成が容易であった。また、隣接するストレージ電極間において筒外側の対向する面の間の最短の距離は $0.6f$ であり、更に、ストレージ電極の筒内側の最短の距離は前記したように $0.8f$ であり、後者がやや大きい両者とも概ね等しい。これを両者共、全く等しく( $0.7f$ )することが可能であり、逆に後者をやや小さくすることも可能である。

【0035】以上のように、キャパシタに最小加工寸法に満たない寸法を導入して形成することにより、信頼性の高いキャパシタを形成することができた。なお、工程4)では、レジストパターンを細めたが、代わりに、工程5)で形成した直方体107aをウェットエッチング又はアッシングによる等方性エッチングを施して細めることでも同じ効果を得ることができる。

【0036】さらに、本実施例では、キャパシタ間の間隔の方が、キャパシタ内の最小間隔よりやや狭く、この狭い方のキャパシタ間の間隙部の肩にエッチングバックによる傾斜があり、より狭い間隙部内に、堆積膜が入り易くなっているが、勿論、キャパシタ間の間隔の方が、キャパシタ内の最小間隔より広い場合には、狭い方のキャパシタ内の凹部の肩に傾斜があるようにした方が良い。

【0037】また、工程7)では、エッチングバックを用いたが、この代わりに、CMPを用いても同じ効果を得ることができる。

【0038】なお、工程7)で採用した直方体107aの上面の導電膜のCMPによる除去は、勿論、直方体107aの上面の一辺が前記のように最小加工寸法に満たない場合に限らず、任意の寸法である場合に適用することができる。また、工程8)で採用した自己整合加工は、勿論、マスク(側壁電極108及び直方体107a)の直方体107aの上面の一辺が前記のように最小加工寸法に満たない場合に限らず、任意の寸法である場合に適用することが可能である。更に、工程4)で形成した寸法縮小のマスク111は、勿論、筒型電極の形成に限らず、筒型以外の形状の電極の形成のために用いることができる。

【0039】<比較例2>本発明の効果を明らかにするため、従来の筒型キャパシタを前記配線層16の上に形成して比較した。メモリセルの寸法は、本発明の筒型キャパシタの場合と同じであり、最小加工寸法も同一である。但し、キャパシタの寸法は、本発明の場合と異なって形成される。

【0040】キャパシタの構造及び製造工程を図12の工程図を用いて説明する。なお、図11に筒型ストレージ電極19とその接続部SN contの平面図を示す。キャパシタの形成は、まず、

- 1) 接続プラグ17の上にタングステン膜(図12では示さず)をCVD法(スパッタ法も可能である)で厚さ $0.2f$ ( $0.05\mu m$ )堆積させ、次に、
- 2) フトリソグラフィにより、 $3f \times 1f$ ( $0.75\mu m \times 0.25\mu m$ )のレジストパターン102を形成し、
- 3) ドライエッチングにより、同 $3f \times 1f$ 寸法のストレージの下部電極106aを形成した。続いて、
- 4) この上に厚さ $0.3\mu m$ の二酸化珪素膜107を形成し、更に、
- 5) その上にストレージ下部電極と同じ寸法( $3f \times 1f$ )のレジストパターン102をフトリソグラフィにより形成した。次に、
- 6) 二酸化珪素膜107をエッチングして、筒型キャパシタの芯となる直方体107aを形成し、
- 7) この上からタングステンを厚さ $0.3f$ ( $0.075\mu m$ )堆積させ、
- 8) エッチングバックにより、 $0.3f$ 厚さの側壁電極108を形成した。続いて、二酸化珪素膜の直方体107aをウェットエッチングにより除去し、底面の下部電極106aと側壁電極108とからなるストレージ電極19を形成した。ストレージ電極19の面積は、 $1.7\mu m^2$ である。また、隣接するストレージ電極の間の寸法は、 $0.4f$ となる。次に、
- 9) 厚さ $0.08f$ ( $0.02\mu m$ )の五酸化タンタル膜20をCVD法で堆積させ、その上に、
- 10) 窒化チタン膜を $0.12f$ ( $0.03\mu m$ )を堆積させてプレート電極21を形成し、キャパシタ構造を

完成させた。

【0041】最小加工寸法 $f$ で加工したにもかかわらず、工程10で示したプレート電極21の膜堆積時には、隣接する電極108(五酸化タンタル膜20は形成されている)との最小間隔は、 $0.24f$ ( $0.06\mu m$ )となり、同間隔の間隙における最大アスペクト比は5以上となった。このような大きいアスペクト比であるため、膜が十分成長せず、図12の最下に示したようにプレート電極21の欠落が生じ、「微小な空洞」が発生した。これらがキャパシタ動作不良の原因になり、その発生率は21%以上であった。

【0042】<実施例3>キャパシタを複数のメモリセル領域に互って形成したDRAMを実施した。図13に同DRAMの上面を示した。図13において、19-1, 19-2, 19-3, 19-4は、複数のメモリセル領域に互って形成したストレージ電極を示す。

【0043】メモリセルの領域は、実施例1の場合と同じ $4f \times 3f$ の寸法とし、最小加工寸法の $f$ も $0.25\mu m$ とした。但し、本実施例においては、ストレージ電極の加工幅は、最小加工寸法よりも狭くしている。

【0044】キャパシタの作成手順を図14を用いて説明する。同図は、図13でA-B線で切断した面を示す。同図の左側に示した平面図において、Cont1, Cont2, Cont3, Cont4は、各ストレージ電極とそれぞれの接続プラグ17との接続点を示す。まず、

- 1) 接続プラグ17がある第4配線層16上にタングステン膜103を厚さ $1.52f$ ( $0.38\mu m$ )堆積させ、続いて、
- 2) 二酸化珪素膜112を $0.3\mu m$ 堆積させ、
- 3) フトリソグラフィにより、 $7.8f \times 1f$ ( $1.95\mu m \times 0.25\mu m$ )の寸法の斜めラインのレジストパターン102を、図14中の上面図に示すように、接続点Cont1, Cont3の上方向に一つ置きに形成した。次に、
- 4) 軽くアッシングを施すことにより、このレジストパターンを外側から $1/4f$ 細め、 $7.3f \times 0.5f$ ( $1.83\mu m \times 0.13\mu m$ )寸法の斜めライン111を形成した。このマスクを用いて、
- 5) ドライエッチングにより、 $7.3f \times 0.5f$ 寸法の二酸化珪素ラインマスク112aを形成した。続いて、
- 6) フトリソグラフィにより、 $7.8f \times 1f$ 寸法の斜めラインを、図14中の上面図に示すように、先に形成した二酸化珪素ラインマスク112aと一つ置きに、接続点Cont2, Cont4の上方向に形成した。次に、
- 7) 軽くアッシングを施すことにより、このレジストパターンを外側から $1/4f$ 細め、 $7.3f \times 0.5f$ 寸法の斜めライン111を形成した。このマスクと先に形成した二酸化珪素ラインマスク112aを用いて、
- 8) ドライエッチングにより、タングステン膜103を



15

加工して  $7.3f \times 0.5f$  寸法のライン 103a を形成した。ライン 103a は、ストレージ電極 19-1, 19-2, 19-3, 19-4 となる。これ以降の工程は、前記の実施例と同じく、

9) キャパシタ誘電膜となる五酸化タンタル膜を  $0.02\mu m$  堆積させ、

10) プレート電極 19 となる窒化チタン膜を  $0.04\mu m$  堆積させてキャパシタを形成した。

【0045】作製したキャパシタの高さが  $1.52f$  ( $0.38\mu m$ ) にも拘らず、ストレージ電極面積は、 $1.7\mu m^2$  である。比較例 1 の従来法に示した直方体ストレージ電極に比較すると、高さは 3 割低く、隣接するキャパシタ間のアスペクト比は 1.5 以下と小さい。高さを低くすることができるのは、同じ高さで直方体よりも表面積を増やすことができるからである。

【0046】このように、横長の線状キャパシタ構造とすることにより、キャパシタの占有面積や占有容積をほとんど変化させずに、信頼性の高いキャパシタを得ることができる。なお、本実施例では、凸型キャパシタの場合を示したが、勿論、筒型キャパシタを横長にして、これを複数のメモリセル領域に互って形成した場合でも同じ効果を得ることができる。

【0047】

【発明の効果】本発明によれば、導電膜や絶縁膜の形成不良によって起こる微小な空洞の発生を避けることができるので、キャパシタの動作不良発生率を大幅に低減した信頼性の高い半導体集積回路装置を得ることができる。従って、同装置の製造歩留まりを向上させ、コストを低減することができる。また、キャパシタは、最小加工寸法から設定される小寸法のメモリセル領域において容量を確保することができる構造を有しているので、半導体集積回路装置の集積度を高めることができる。

【図面の簡単な説明】

【図 1】本発明に係る半導体集積回路装置及び当該装置の製造方法の第 1 の実施例を説明するための DRAM の断面構造図。

【図 2】第 1 の実施例の DRAM のメモリセルを説明するための上面図。

【図 3】第 1 の実施例の DRAM のメモリセルを説明するための上面図とセル寸法を示した図。

【図 4】第 1 の実施例のメモリセル領域とキャパシタ領域を説明するための上面図。

【図 5】第 1 の実施例の DRAM のキャパシタを説明するための工程図。

【図 6】従来法による DRAM のキャパシタの第 1 の比較例を説明するための工程図。

16

【図 7】本発明の第 2 の実施例を説明するための DRAM のメモリセルの上面図。

【図 8】第 2 の実施例の DRAM を説明するための断面構造図。

【図 9】第 2 の実施例のメモリセル領域とキャパシタ領域を説明するための平面図。

【図 10】第 2 の実施例の DRAM のキャパシタを説明するための工程図。

【図 11】従来法による DRAM のキャパシタの第 2 の比較例を説明するためのメモリセル領域とキャパシタ領域の平面図。

【図 12】従来法による DRAM のキャパシタの第 2 の比較例を説明するための工程図。

【図 13】本発明の第 3 の実施例を説明するための DRAM のメモリセルの上面図。

【図 14】第 3 の実施例の DRAM のキャパシタを説明するための工程図。

【図 15】従来の DRAM の第 1 の例を説明するための断面構造図。

【図 16】図 15 に示した DRAM のメモリセル領域とキャパシタ領域の平面図。

【図 17】従来の DRAM の第 2 の例を説明するための断面構造図。

【図 18】図 17 に示した DRAM のメモリセル領域とキャパシタ領域の平面図。

【符号の説明】

1…半導体基板

3, 4…拡散層領域

6…ワード線 (ゲート電極)

7…トランジスタ部

9, 11, 14, 16, 25…配線層

10, 12, 15, 17…接続プラグ

18a…絶縁膜

19…ストレージ電極

20…誘電体膜

21…プレート電極

22…パッシベーション膜

23…ビット線

107a…二酸化珪素直方体

112a…二酸化珪素ラインマスク

111…アッシングにより細めたレジストマスク

f…最小加工寸法

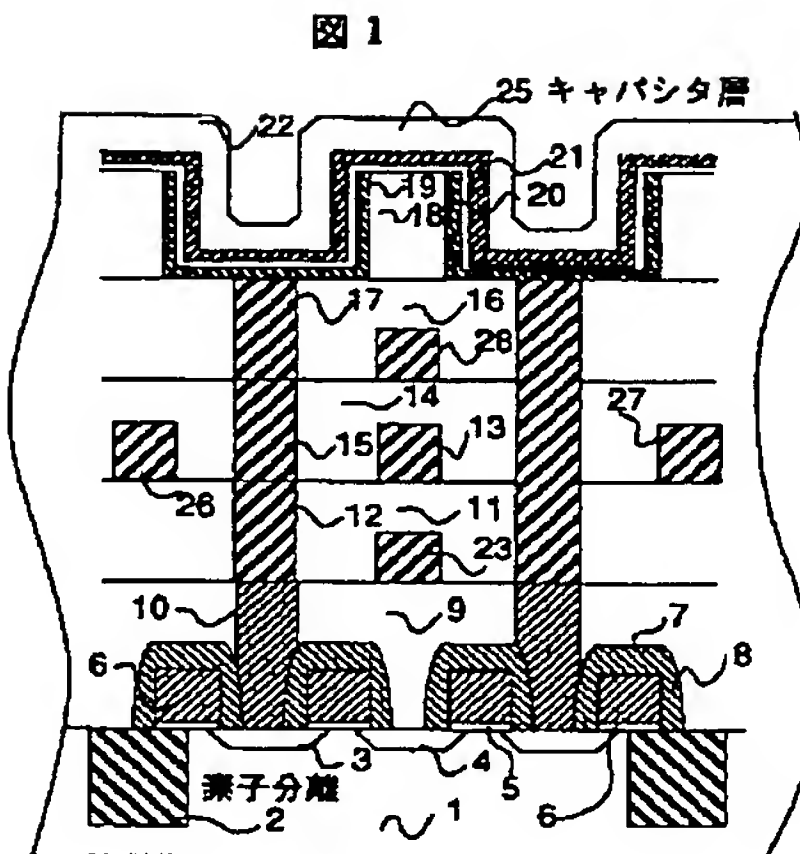
SA…メモリセル領域

CA…キャパシタ領域

BL cont…ビット線接続部

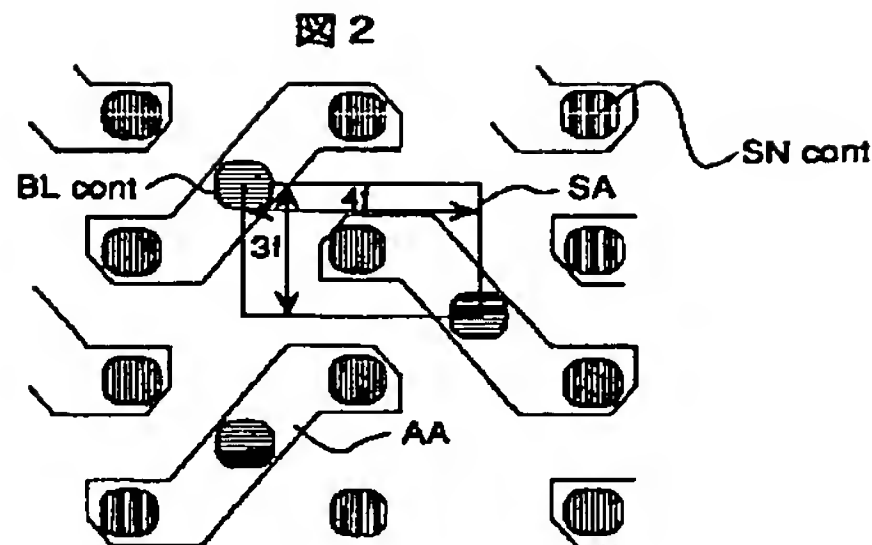
SN cont…ストレージ電極接続部

【図1】



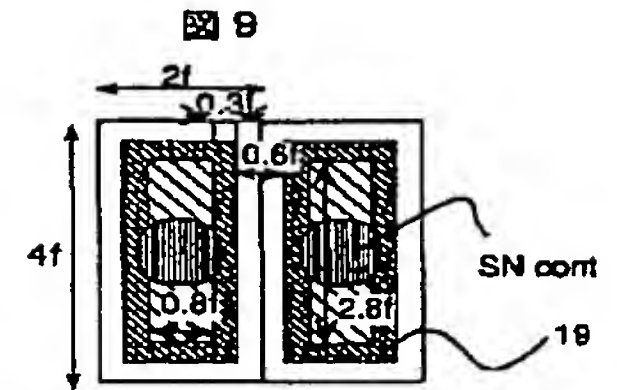
6...ワード線, 23...ビット線, 19...ストレージ電極,  
21...プレート電極, 22...パッシベーション膜,  
10,12,15,17...接続プラグ

【図2】

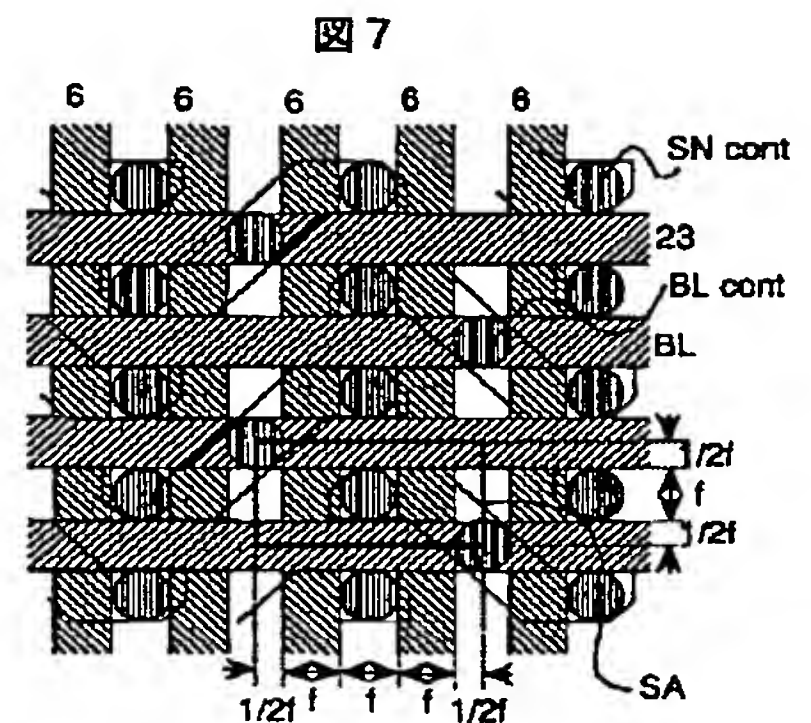


f...最少加工寸法, SA...投影セル領域, AA...アクティブ領域,  
SN cont...ストレージ電極接続部, BL cont...ビット線接続部

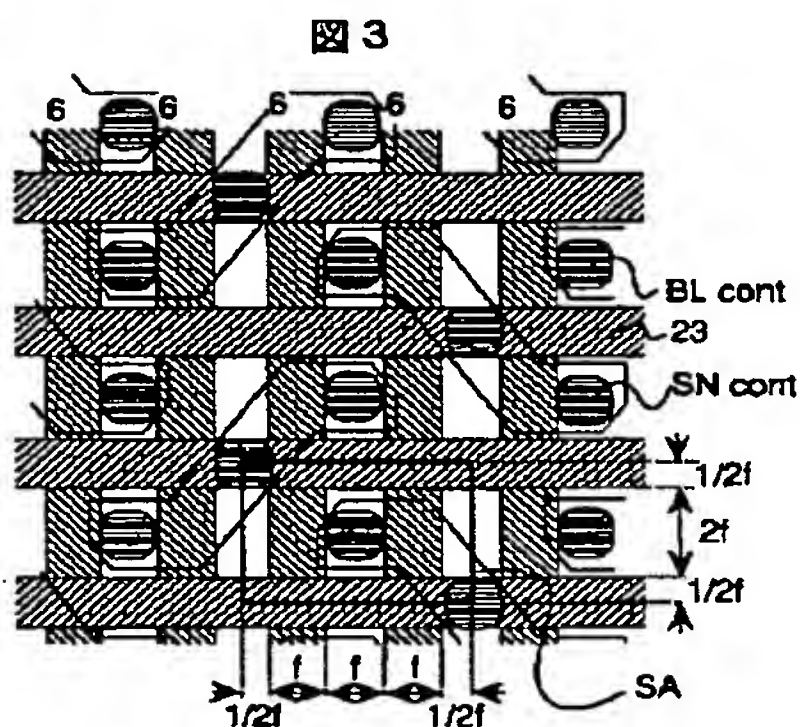
【図9】



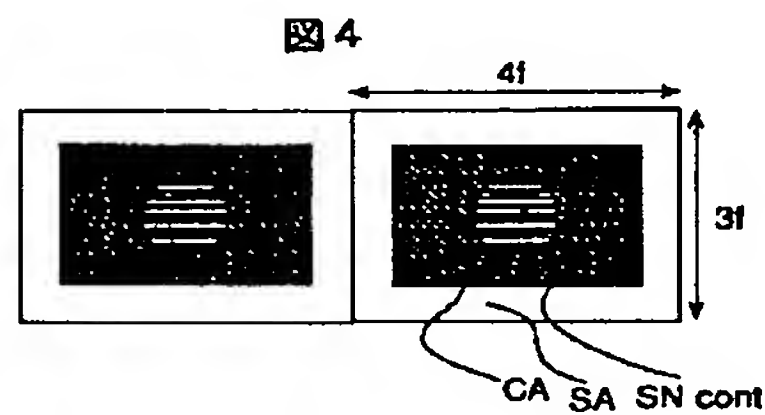
【図7】



【図3】



【図4】



CA...投影キャパシタ領域, SA...投影メモリエル領域,  
SN cont...ストレージ電極接続部

【図10】

【図8】

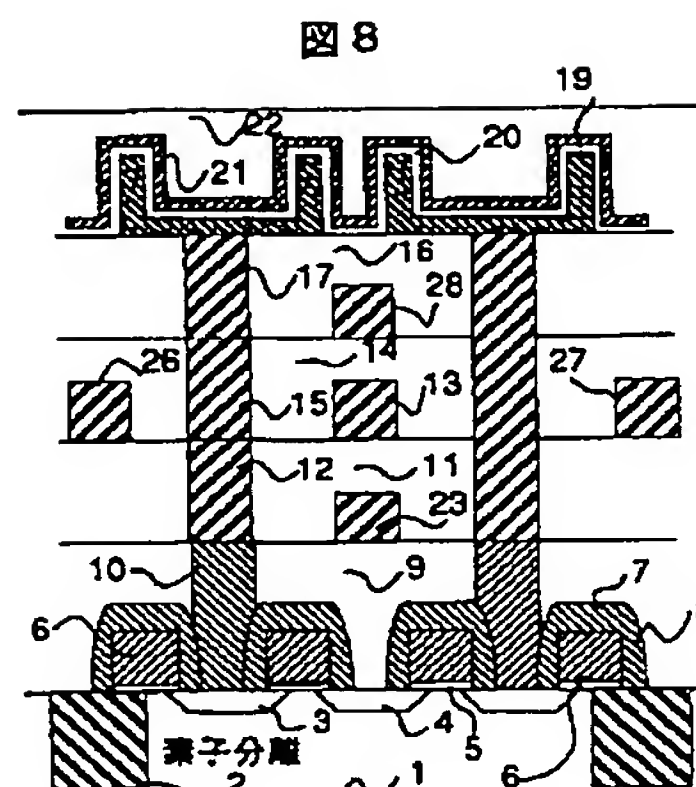
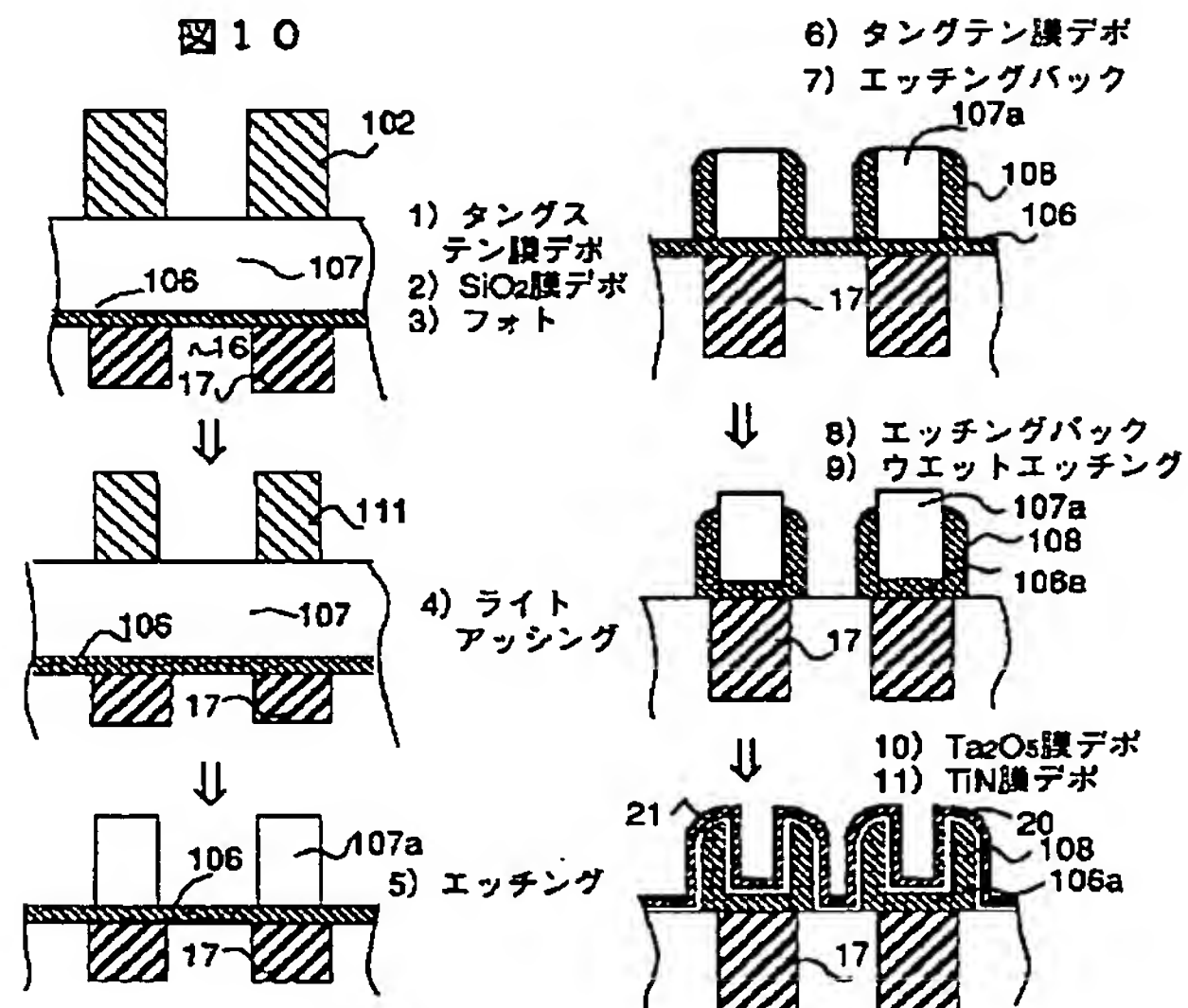
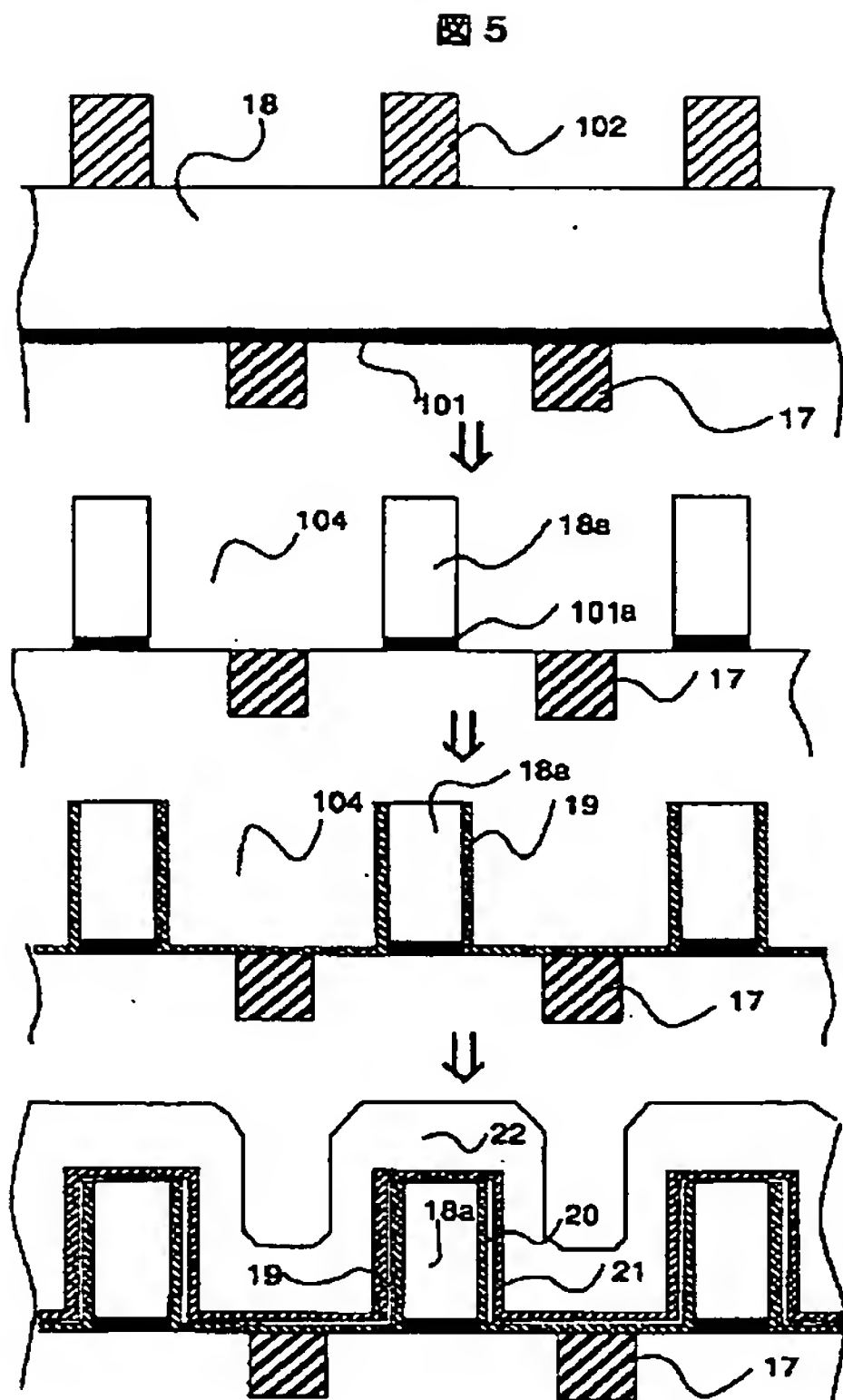


図10



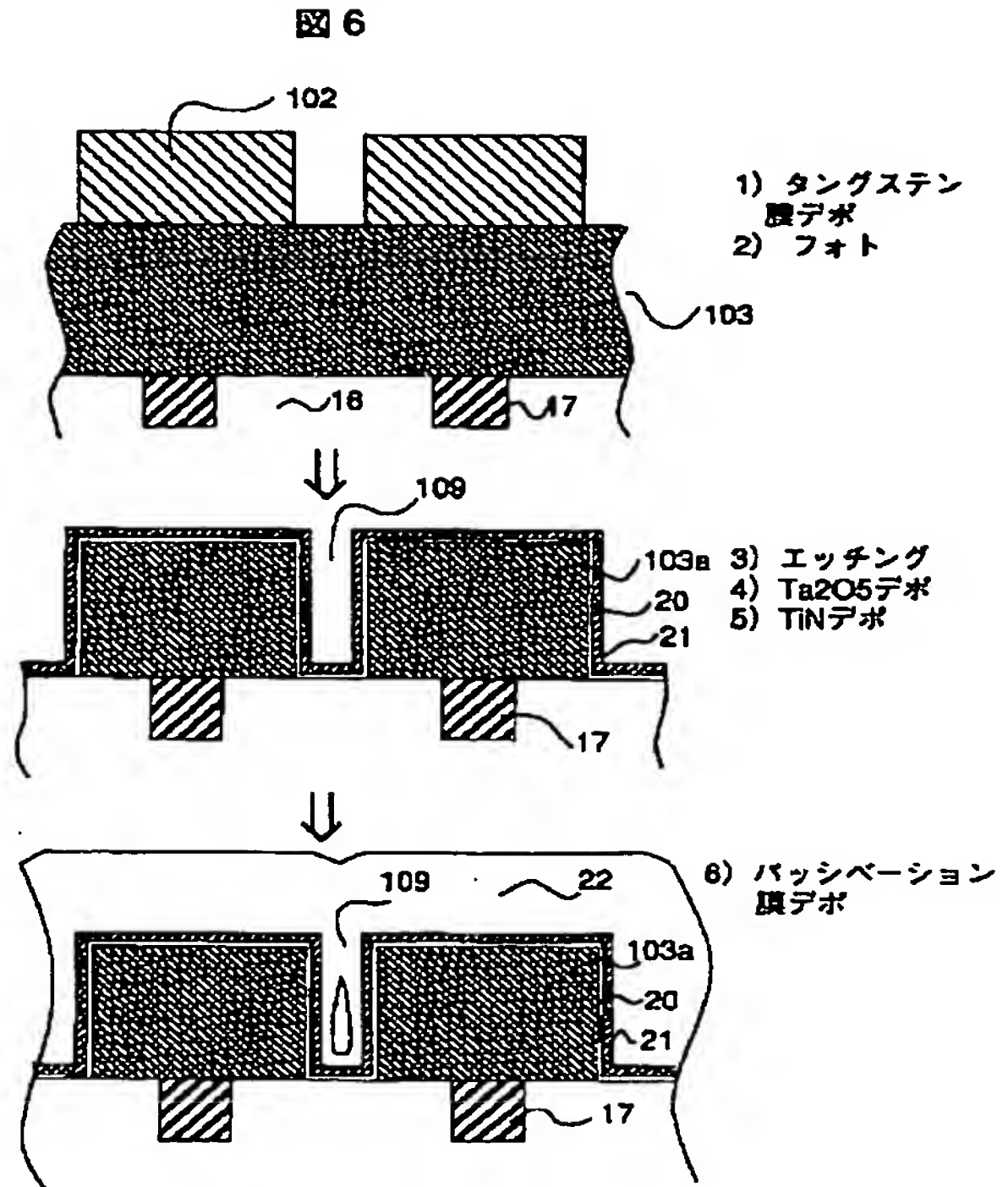


【図 5】



- 1) SiN膜デポ
- 2) SiO<sub>2</sub>デポ
- 3) フォト
- 4) エッチング
- 5) タングステン膜デポ
- 6) 研磨
- 7) Ta<sub>2</sub>O<sub>5</sub>膜デポ
- 8) TiN膜デポ
- 9) パッシベーション膜デポ

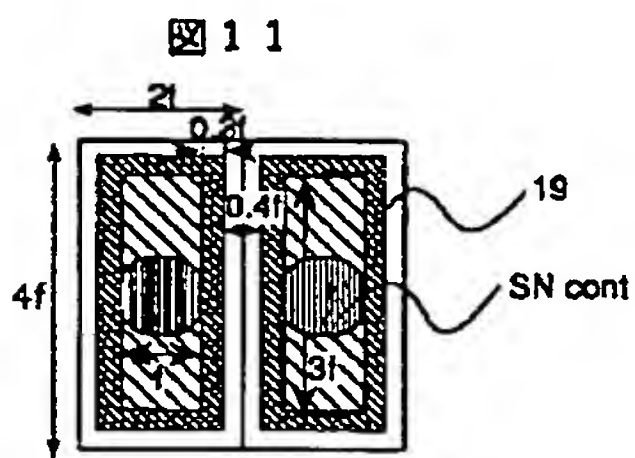
【図 6】



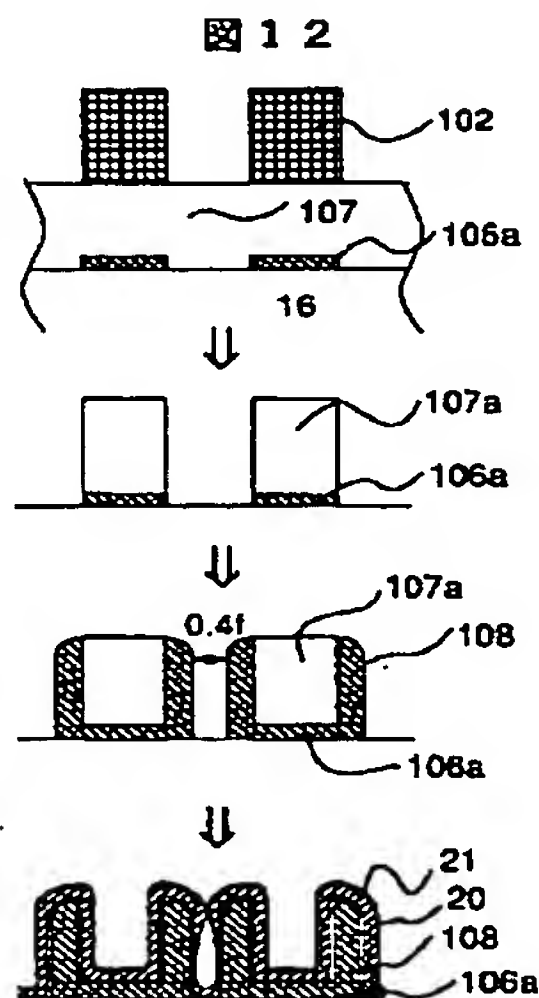
- 1) タングステン膜デポ
- 2) フォト
- 3) エッチング
- 4) Ta<sub>2</sub>O<sub>5</sub>デポ
- 5) TiNデポ
- 6) パッシベーション膜デポ

【図 16】

【図 11】

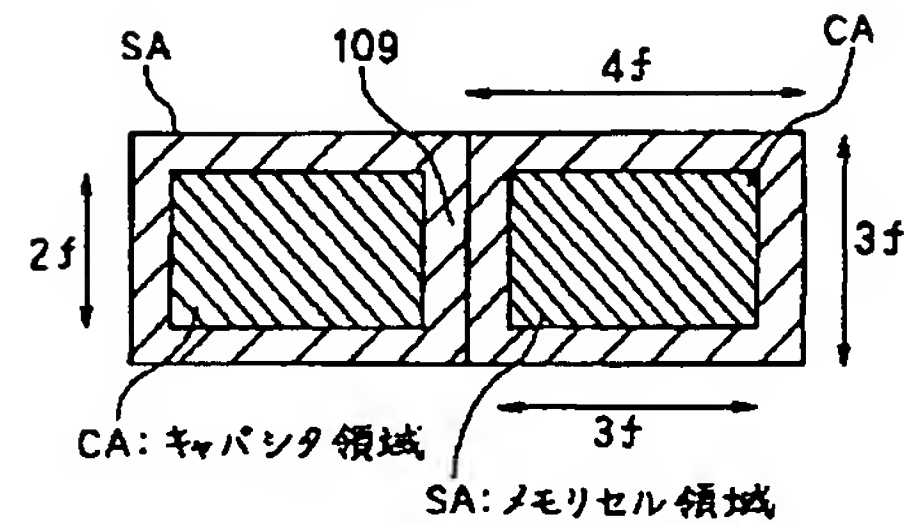


【図 12】

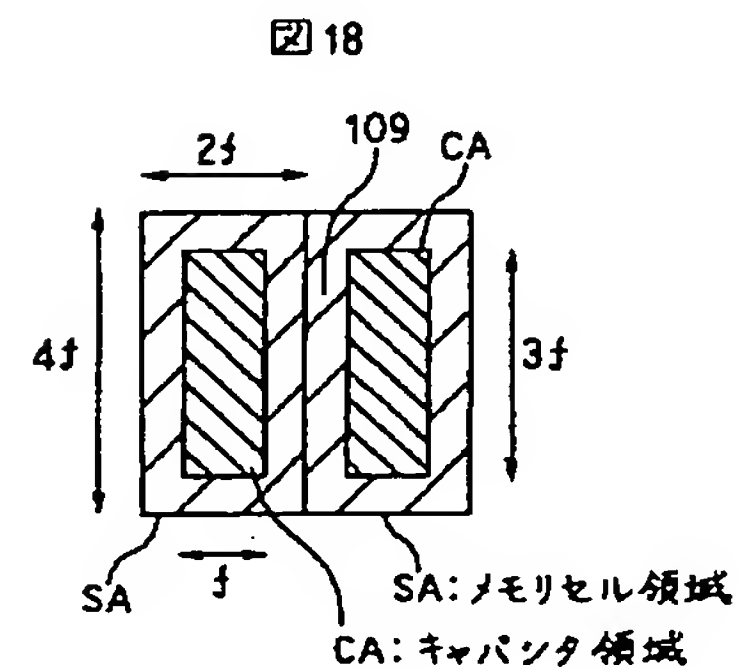


- 1) タングステン膜デポ
- 2) フォト
- 3) エッチング
- 4) SiO<sub>2</sub>デポ
- 5) フォト
- 6) エッチング
- 7) タングステン膜デポ
- 8) エッチングバック  
ウェットエッチ
- 9) Ta<sub>2</sub>O<sub>5</sub>膜デポ
- 10) TiN膜デポ

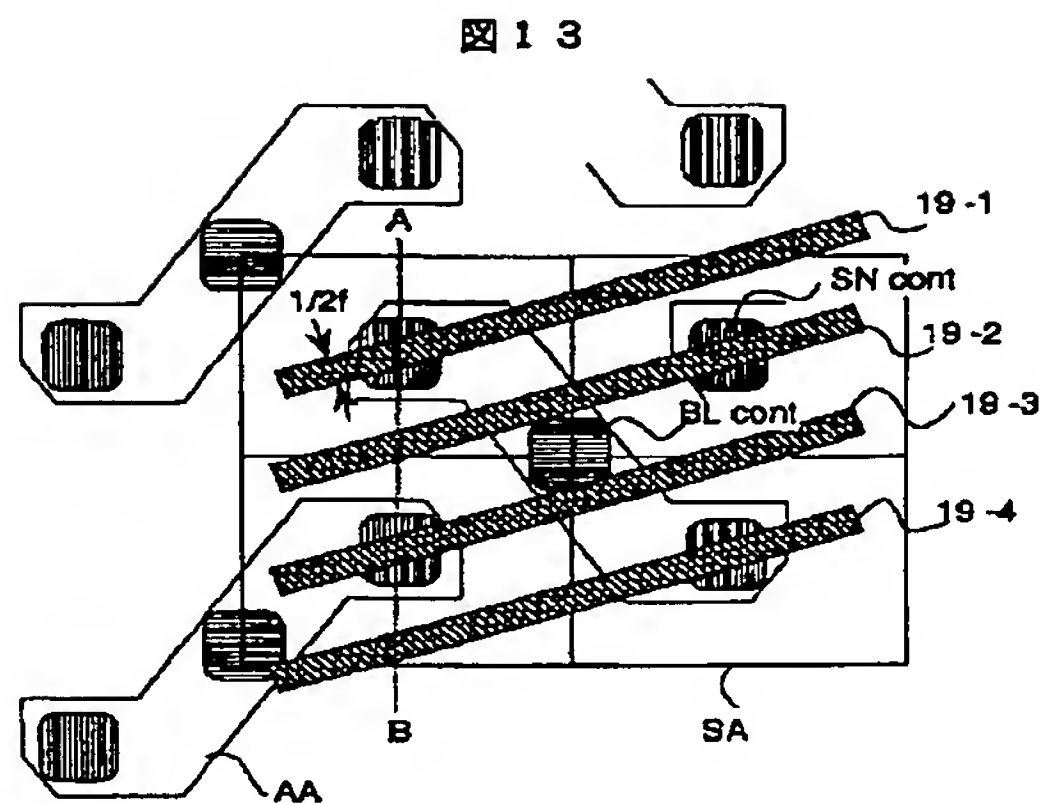
図 16



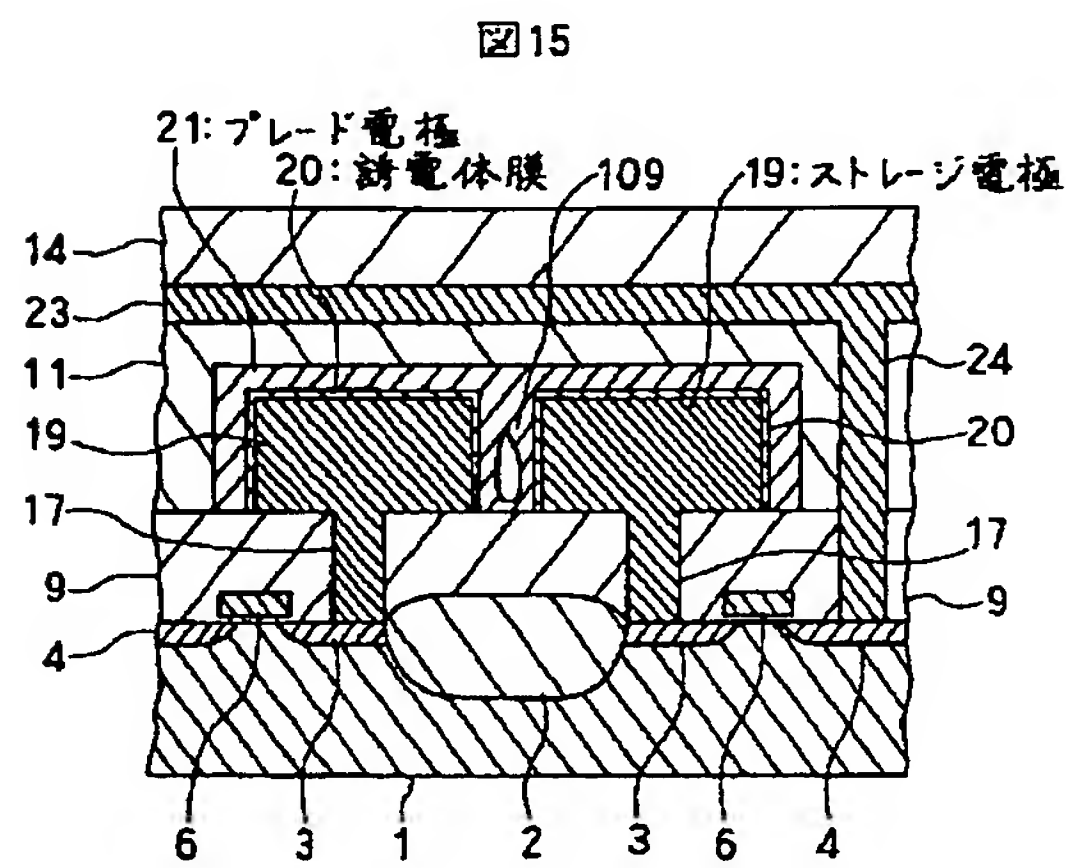
【図 18】



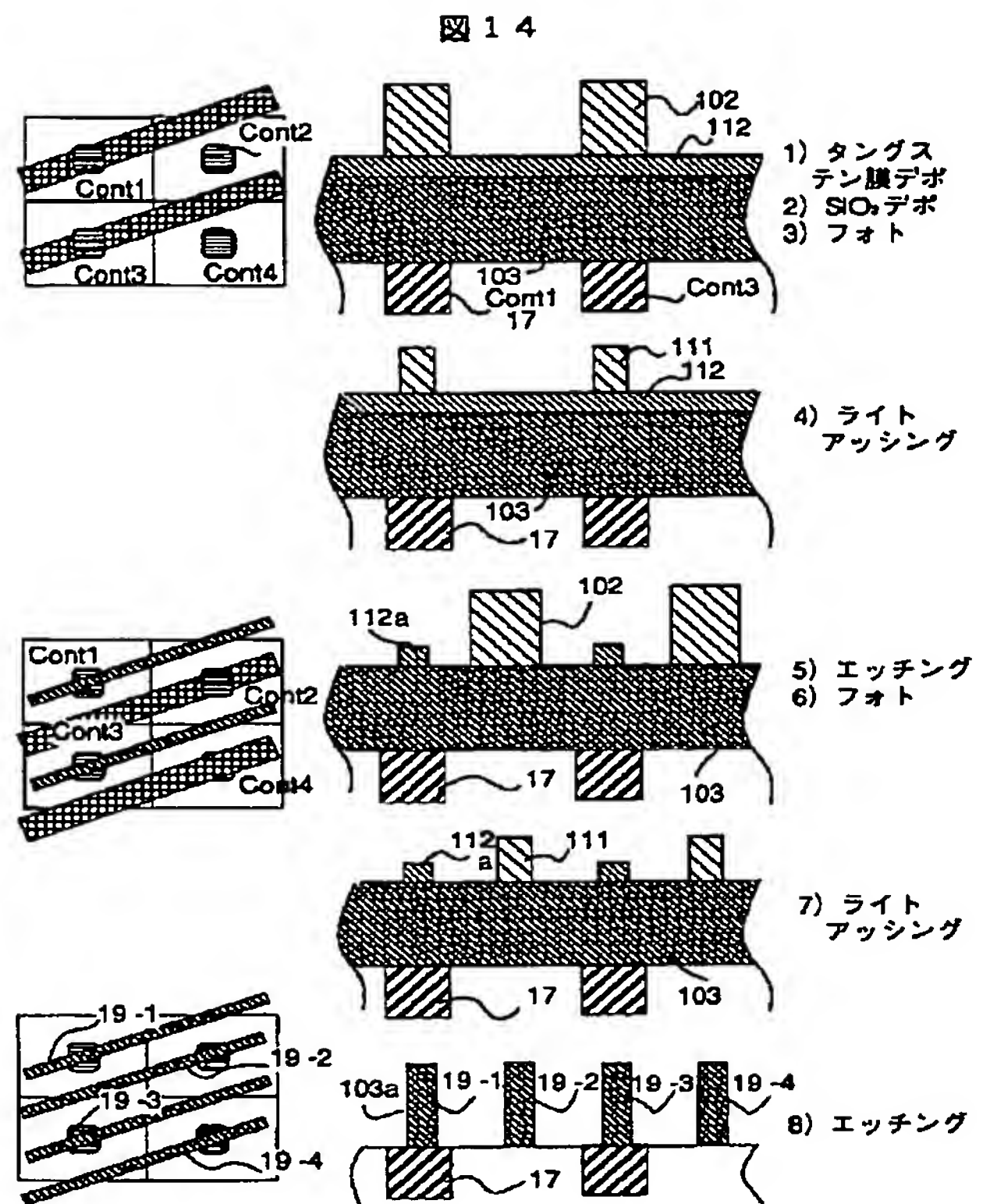
【図 13】



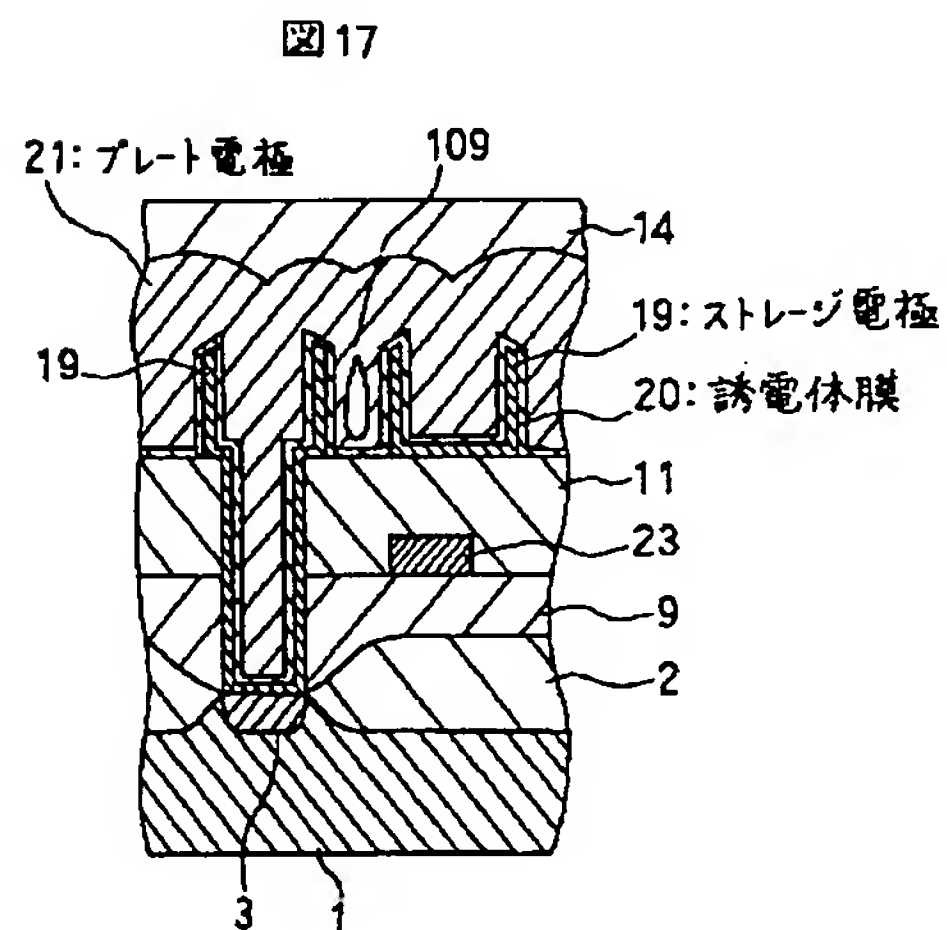
【図 15】



【図 14】



【図 17】





フロントページの続き

(72)発明者 中村 吉孝  
東京都小平市上水本町五丁目20番 1 号 株  
式会社日立製作所半導体事業部内

**THIS PAGE BLANK (USPTO)**